

PATENT ABSTRACTS OF JAPAN

#5

(11)Publication number : 06-083786

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

G06F 15/16

G06F 15/66

G06F 15/80

H03M 9/00

H04N 5/14

(21)Application number : 04-230541

(71)Applicant : SONY CORP

(22)Date of filing : 28.08.1992

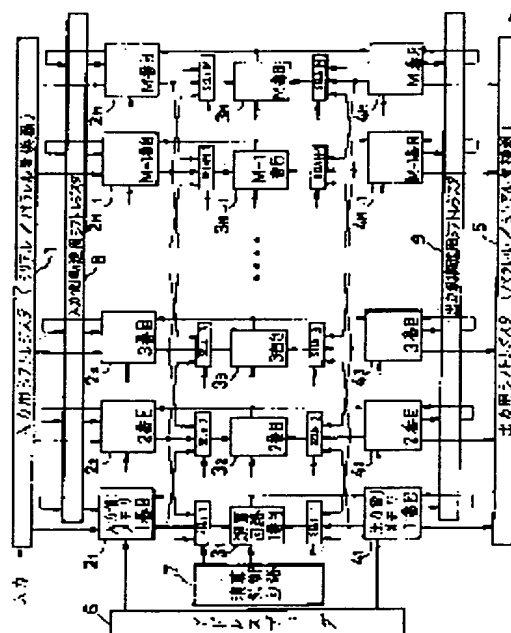
(72)Inventor : OKI MITSU HARU

(54) PARALLEL PROCESSOR

(57)Abstract:

PURPOSE: To execute operation for transferring data to near-by memories in a short time.

CONSTITUTION: A parallel processor consisting of an input shift register 1, input side memories 21 to 2M, selectors SELa1 to SELaM, arithmetic circuits 31 to 3M, selectors SELb1 to SELbM, output side memories 41 to 4M, and an output shift register 5 is also provided with input side and output side transferring shift registers 8, 9. The registers 8, 9 are respectively provided in the input side memories 21 to 2M and the output side memories 41 to 4M. Data read out from the memories 21 to 2M are fetched by the register 8 and shifted in the horizontal direction in the Figure and then the shifted data are written in the memories 21 to 2M again. Namely the data are written at positions in the input side memories 21 to 2M distant from their read out positions by a shifted amt. The register 9 is similarly operated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-83786

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl.⁵

G 0 6 F 15/16

15/66

15/80

H 0 3 M 9/00

H 0 4 N 5/14

識別記号

3 9 0 Z

K

A

Z

庁内整理番号

9190-5L

8420-5L

9190-5L

8522-5J

F I

技術表示箇所

審査請求 未請求 請求項の数4(全 8 頁)

(21)出願番号

特願平4-230541

(22)出願日

平成4年(1992)8月28日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 大木 光晴

東京都品川区北品川6丁目7番35号 ソニー株式会社内

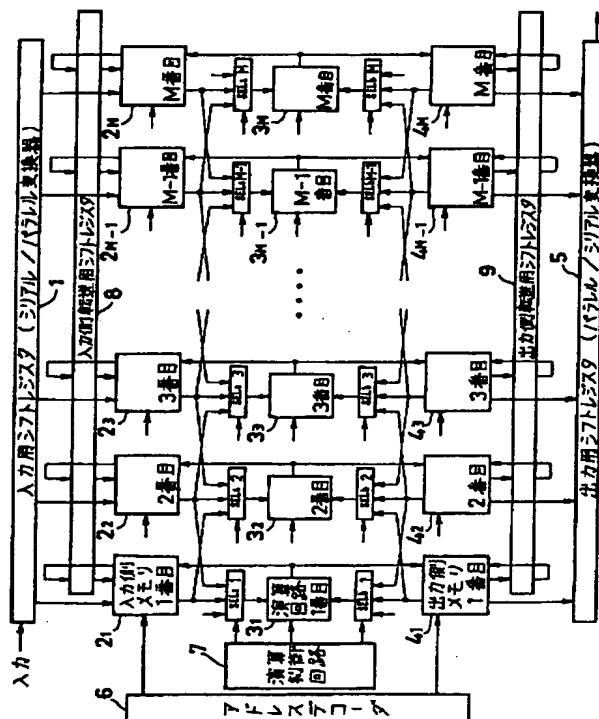
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 並列プロセッサ

(57)【要約】

【目的】 近傍のメモリに移す操作を短時間で行う。

【構成】 入力用シフトレジスタ1、入力側メモリ2₁～2_n、セクタ(SEL a)₁…_n、演算回路3₁～3_n、セクタ(SEL b)₁…_n、出力側メモリ4₁～4_n、出力用シフトレジスタ5からなる並列プロセッサに、転送用シフトレジスタ8、9を設ける。転送用シフトレジスタ8、9は、入力側メモリ2₁～2_n、及び出力側メモリ4₁～4_nにそれぞれ1つずつある。入力側メモリ2₁～2_nから読み出されたデータは、入力側転送用シフトレジスタ8に取り込まれ、図の横方向にデータはシフトされ、その後、データは、入力側メモリ2₁～2_nに再び書き込まれる。従って、読み出された位置からシフトした分だけ隣の入力側メモリ2₁～2_nに書き込まれる事になる。出力側転送用シフトレジスタ9についても同様である。



1

【特許請求の範囲】

【請求項1】 複数のデータが複数のプロセッサエレメントに並列に供給され、これらのデータが上記プロセッサエレメントにて演算処理され、演算処理された複数のデータを出力するようにした並列プロセッサにおいて、シフトレジスタを有し、

上記プロセッサエレメントの出力を上記シフトレジスタの入力とし、上記シフトレジスタの出力を上記プロセッサエレメントの入力として、

上記シフトレジスタにより、各上記プロセッサエレメント内のデータを異なる各上記プロセッサエレメントへ転送させることを可能とした事の特徴とする並列プロセッサ。

【請求項2】 上記複数のデータがシリアルに入力され、シリアル/パラレル変換器によりパラレルデータに変換され、上記複数のプロセッサエレメントに並列に供給されることを特徴とする請求項1記載の並列プロセッサ。

【請求項3】 上記演算処理された複数のデータをパラレル/シリアル変換器によりシリアルデータに変換し、シリアルに出力することを特徴とする請求項1記載の並列プロセッサ。

【請求項4】 上記シフトレジスタのシフト量の最小単位は2以上であることを特徴とする請求項1記載の並列プロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、映像信号のデジタル処理等に用いられる並列プロセッサに関するものである。

【0002】

【従来の技術】 映像信号のデジタル処理を行う装置として、例えば「SVP: SERIAL VIDEO PROCESSOR/Proceedings of the IEEE 1990 CUSTOM INTEGRATED CIRCUITS CONFERENCE/P. 17. 3. 1~4」に示される装置が知られている。

【0003】 この装置は、具体的には例えば図4に示すような並列プロセッサで構成されている。即ち、図において、例えば各画素がそれぞれ複数ビットで構成される映像信号がワード（画素）シリアルで供給され、1水平期間（1H）分の容量（M）を有する入力用シフトレジスタ（シリアル/パラレル変換器）1内のM個のレジスタに格納される。この入力用シフトレジスタ内のレジスタがそれぞれM個の入力側メモリ2₁~2_Mに接続されている。

【0004】 M個の演算回路3₁~3_Mは、それぞれ対応する入力側メモリ2₁~2_Mとその両隣の入力側メモリからのデータがセクタ（SEL a）...を介して

2

供給され、さらに、M個ある出力側メモリ4₁~4_Mの内それぞれ対応する出力側メモリ4₁~4_Mとその両隣の出力側メモリからのデータもセクタ（SEL b）...を介して供給される。

【0005】 各演算回路3₁~3_Mからの出力結果は、入力側メモリ2₁~2_Mあるいは出力側メモリ4₁~4_Mに書き込まれる。各出力側メモリ4₁~4_Mがそれぞれ出力用シフトレジスタ（パラレル/シリアル変換器）5内のM個のレジスタに接続されている。そして、この出力用シフトレジスタ5からは、例えば各画素がそれぞれ複数ビットで構成される演算処理された映像信号がワード（画素）シリアルで出力される。

【0006】 従って、この装置において、水平期間毎に入力用シフトレジスタ1に供給された映像信号の各画素のデータは、その後の水平ブランキング期間内に入力側メモリ2₁~2_Mに書き込まれる。この入力側メモリに書き込まれたデータが次の1水平期間の間に演算回路3₁~3_Mに供給され、演算処理された値が出力側メモリ4₁~4_Mに書き込まれる。そして、その後の水平ブランキング期間内に、出力側メモリ4₁~4_Mのデータが出力用シフトレジスタ5に書き込まれ、各水平期間毎に演算処理された映像信号が取り出される。このようにして例えば映像信号のデジタル処理が行われる。

【0007】 また、入力側メモリ2₁~2_M、出力側メモリ4₁~4_Mのアドレスを制御するためのアドレスデコーダ6と、演算回路3₁~3_Mでの演算を制御するため及びセクタ（SEL a、SEL b）...を制御するための演算制御回路7は、それぞれ1つのみであり、M個全ての入力側、出力側メモリ及び演算回路に共通のものである。

【0008】 即ち、図4はSIMD（Single Instruction Multiple Data）方式である。ビデオ信号処理においては全ての画素に対して同じ演算処理をすることが多いので、全ての演算回路に同一の処理命令を与えるSIMD方式で充分に対応でき不便はない。そして、SIMD方式ならば制御回路は1つで済み回路規模が小さくなるという利点がある。

【0009】 また、この装置において、セクタ（SEL a、SEL b）...の制御により、m番目の演算回路は、m番目の入力側メモリ2_mと出力側メモリ4_m内に格納されているデータ（1水平期間（1H）分の映像信号の内m番目の画素データ）の演算のみならず、その両隣のデータ（m-1番目とm+1番目の画素データ）との演算も可能としている。

【0010】 さらに、m-2番目の入力側メモリ2_{m-2}と出力側メモリ4_{m-2}や、m+2番目の入力側メモリ2_{m+2}と出力側メモリ4_{m+2}とも、セクタ（SEL a、SEL b）...を介してm番目の演算回路3_mに供給することにより、m-2番目とm+2番目の画素データとの演算も可能となる。

【0011】しかしながらこの装置において、 $m-3$ 番目や $m+3$ 番目とのアクセスもセクタを介して行えるようにすれば、デジタル信号処理用LSIとしての処理能力は増すが、セクタが複雑になり、また配線も増え、回路規模の点から見て実現不可能である。即ち、図4に示すような $m-1$ 番目と m 番目と $m+1$ 番目の入力側メモリ及び出力側メモリのみとアクセス出来る構成あるいは、 $m-2$ 番目と $m-1$ 番目と m 番目と $m+1$ 番目と $m+2$ 番目の入力側メモリ及び出力側メモリのみとアクセス出来る構成のどちらかしか、実現できなかった。

【0012】従って、例えば、上述の $m-1$ 番目と m 番目と $m+1$ 番目の入力側メモリ及び出力側メモリのみとアクセス出来る構成(図4)において、 $m-8$ 番目に格納されているデータとアクセスして演算したい場合は、

- 1) 一度、 $m-7$ 番目のセクタ及び $m-7$ 番目の演算回路を介して、 $m-7$ 番目の入力側メモリあるいは出力側メモリにそのデータを格納させて、
- 2) そして、 $m-7$ 番目の入力側メモリあるいは出力側メモリに格納されたそのデータを $m-6$ 番目のセクタ及び $m-6$ 番目の演算回路を介して、 $m-6$ 番目の入力側メモリあるいは出力側メモリにそのデータを格納させて、
- 3) そして、 $m-6$ 番目の入力側メモリあるいは出力側メモリに格納されたそのデータを $m-5$ 番目のセクタ及び $m-5$ 番目の演算回路を介して、 $m-5$ 番目の入力側メモリあるいは出力側メモリにそのデータを格納させて、
- 4) そして、 $m-5$ 番目の入力側メモリあるいは出力側メモリに格納されたそのデータを $m-4$ 番目のセクタ及び $m-4$ 番目の演算回路を介して、 $m-4$ 番目の入力側メモリあるいは出力側メモリにそのデータを格納させて、
- 5) そして、 $m-4$ 番目の入力側メモリあるいは出力側メモリに格納されたそのデータを $m-3$ 番目のセクタ及び $m-3$ 番目の演算回路を介して、 $m-3$ 番目の入力側メモリあるいは出力側メモリにそのデータを格納させて、
- 6) そして、 $m-3$ 番目の入力側メモリあるいは出力側メモリに格納されたそのデータを $m-2$ 番目のセクタ及び $m-2$ 番目の演算回路を介して、 $m-2$ 番目の入力側メモリあるいは出力側メモリにそのデータを格納させて、
- 7) さらに、 $m-2$ 番目の入力側メモリあるいは出力側メモリに格納されたそのデータを $m-1$ 番目のセクタ及び $m-1$ 番目の演算回路を介して、 $m-1$ 番目の入力側メモリあるいは出力側メモリにそのデータを格納させて、
- 8) その後で、 $m-1$ 番目の入力側メモリあるいは出力側メモリに格納されたそのデータを m 番目のセクタを介して m 番目の演算回路に供給することで処理をして

いた。
【0013】このように、従来の構成では、近傍でない入力側メモリあるいは出力側メモリに格納されているデータとアクセスしたい時には、そのデータを近傍の入力側メモリあるいは出力側メモリに移す操作(上記の1)~7))を行わなくてはならず、それだけ時間がかか

り、全体の処理速度の低下を招いていた。

【0014】

【発明が解決しようとする課題】解決しようとする問題は、近傍にないデータとの演算を行うとき、近傍のメモリに移す操作をしなくてはならず、それだけ計算時間がかかり、全体の処理速度の低下を招いていたというものである。

【0015】

【課題を解決するための手段】本発明による第1の手段は、複数のデータが複数のプロセッサエレメント(演算回路 $3_1 \sim 3_n$)に並列に供給され、これらのデータが上記プロセッサエレメントにて演算処理され、演算処理された複数のデータを出力するようにした並列プロセッサにおいて、シフトレジスタ8、9、10を有し、上記プロセッサエレメントの出力を上記シフトレジスタの入力とし、上記シフトレジスタの出力を上記プロセッサエレメントの入力として、上記シフトレジスタにより、各上記プロセッサエレメント内のデータを異なる各上記プロセッサエレメントへ転送させることを可能とした事を特徴とする並列プロセッサである。

【0016】本発明による第2の手段は、上記複数のデータがシリアルに投入され、シリアル/パラレル変換器1によりパラレルデータに変換され、上記複数のプロセッサエレメントに並列に供給されることを特徴とする第1の手段記載の並列プロセッサである。

【0017】本発明による第3の手段は、上記演算処理された複数のデータをパラレル/シリアル変換器5によりシリアルデータに変換し、シリアルに出力することを特徴とする第1の手段記載の並列プロセッサである。

【0018】本発明による第4の手段は、上記シフトレジスタのシフト量の最小単位は2以上であることを特徴とする第1の手段記載の並列プロセッサである。

【0019】

【作用】これによれば、データ転送用のシフトレジスタが備えられているので、近傍にないデータとの演算を行うとき、近傍のメモリに移す操作を短時間で行うことができ、全体の処理速度の低下を抑えることができる。

【0020】

【実施例】図1に本発明の一実施例を示す。図1において転送用シフトレジスタ8、9がある以外は従来例(図4)と同じなので、転送用シフトレジスタ8、9部分以外の説明は省略する。転送用シフトレジスタ8、9は、入力側メモリ $2_1 \sim 2_n$ 、及び出力側メモリ $4_1 \sim 4_n$ にそれぞれ1つずつある。入力側メモリ $2_1 \sim 2_n$ から読み出されたデータ(M個)は、入力側転送用シフトレジスタ8に取り込まれ、図の横方向にデータはシフトされ、その後、データは、入力側メモリ $2_1 \sim 2_n$ に再び書き込まれる。従って、読み出された位置からシフトした分だけ隣の入力側メモリ $2_1 \sim 2_n$ に書き込まれる事になる。

【0021】出力側転送用シフトレジスタ9についても同様である。

【0022】例えば従来技術のところで述べたように、m-8番目に格納されているデータとアクセスして演算したい場合は、転送用シフトレジスタ8、9を使用して、8個分データを右にシフトする事で所望のデータをm番目の入力側メモリ2、あるいは出力側メモリ4に転送することができ、その後で、m番目の演算回路3にて演算を行うことが出来る。

【0023】さらに、図1におけるセクタ(SEL a、SEL b)を取り除いて、m番目の演算回路3は、対応するm番目の入力側メモリ2、及びm番目の出力側メモリ4のみにしかアクセス出来ない構成にしても良い。m-1番目に格納されているデータとアクセスして演算したい場合は、所望のデータを転送用シフトレジスタ8、9を用いてm番目の入力側メモリ2、あるいは出力側メモリ4に転送して、その後でm番目の演算回路3にて演算を行えば良いからである。

【0024】こうして上述の装置によれば、データ転送用のシフトレジスタ8、9が備えられているので、近傍にないデータとの演算を行うとき、近傍のメモリに移す操作を短時間で行うことができ、全体の処理速度の低下を抑えることができるものである。

【0025】図2に本発明のその他の実施例を示す。図2において、転送用シフトレジスタ10は、演算回路3₁～3_nの出力と入力側メモリ2₁～2_n、及び出力側メモリ4₁～4_nの入力との間にある。この構成においては、通常は、転送用シフトレジスタ10ではデータをシフトさせずに(0個分シフト)しておき、m番目の演算回路3_mの出力結果を対応するm番目の入力側メモリ2_m、あるいはm番目の出力側メモリ4_mに書き込ませる。そして、必要に応じて転送用シフトレジスタ10でデータをS個分だけシフトさせることにより、m番目の演算回路の出力結果をm+S番目の入力側メモリ2_{m+S}あるいはm+S番目の出力側メモリ4_{m+S}に書き込ませることも可能となる。

【0026】また、通常の転送用シフトレジスタは、シフト量の最小単位は1個であるので、任意の数だけ横にシフトすることが可能である。しかし、図1では、セクタ(SEL a、SEL b)があるので、比較的近傍の入力側メモリあるいは出力側メモリに格納されているデータとのアクセスは、このセクタを使用して行える。故に転送用シフトレジスタのシフト量の最小単位は1個である必要はない。例えば、最小単位が8個である場合について、さらに詳しく述べることにする。

【0027】この場合、転送用シフトレジスタで転送できる量は左右に8、16、24、32、...のみである。

【0028】例えば、m-1番目に格納されているデータとアクセスして演算したい場合は、m番目のセクタ

(SEL aまたはSEL b)を介して、m番目の演算回路3_mに供給して演算を行えば良い。

【0029】m-8番目に格納されているデータとアクセスして演算したい場合は、転送用シフトレジスタ8、9、10を使用して、8個分データを右にシフトする事で、所望のデータをm番目の入力側メモリあるいは出力側メモリに転送することができ、その後で、m番目のセクタ(SEL aまたはSEL b)を介して、m番目の演算回路3_mにて演算を行うことが出来る。

【0030】m-6番目に格納されているデータとアクセスして演算したい場合は、転送用シフトレジスタを使用して、8個分データを右にシフトする事で所望のデータをm+2番目の入力側メモリ2_{m+2}あるいは出力側メモリ4_{m+2}に転送することができ、さらに、そのデータをm+1番目のセクタ(SEL aまたはSEL b)を介して、m+1番目の入力側メモリ2_{m+1}あるいは出力側メモリ4_{m+1}にそのデータを格納させて、その後で、m番目のセクタ(SEL aまたはSEL b)を介して、m番目の演算回路3_mに供給して演算を行うことが出来る。

【0031】このように、本発明において転送用シフトレジスタのシフト量の最小単位は1個である必要はない。

【0032】図3に、最小単位が8個である場合の入力側転送用シフトレジスタの構成例を示す。レジスタ(図中のR)は8個おきにしか配線でつながっていないため、シフトできる単位は8である。出力側転送用シフトレジスタも同様の構成である。

【0033】

【発明の効果】この発明によれば、データ転送用のシフトレジスタが備えられているので、近傍にないデータとの演算を行うとき、近傍のメモリに移す操作を短時間で行うことができ、全体の処理速度の低下を抑えることができるようになった。

【図面の簡単な説明】

【図1】本発明による並列プロセッサの一例の構成図である。

【図2】本発明による並列プロセッサの他の例の構成図である。

【図3】その説明のための図である。

【図4】従来の並列プロセッサの構成図である。

【符号の説明】

1 入力用シフトレジスタ(シリアル/パラレル変換器)

2₁～2_n 入力側メモリ

(SEL a) ..._n セクタ

3₁～3_n 演算回路

(SEL b) ..._n セクタ

4₁～4_n 出力側メモリ

5 出力用シフトレジスタ(パラレル/シリアル変換

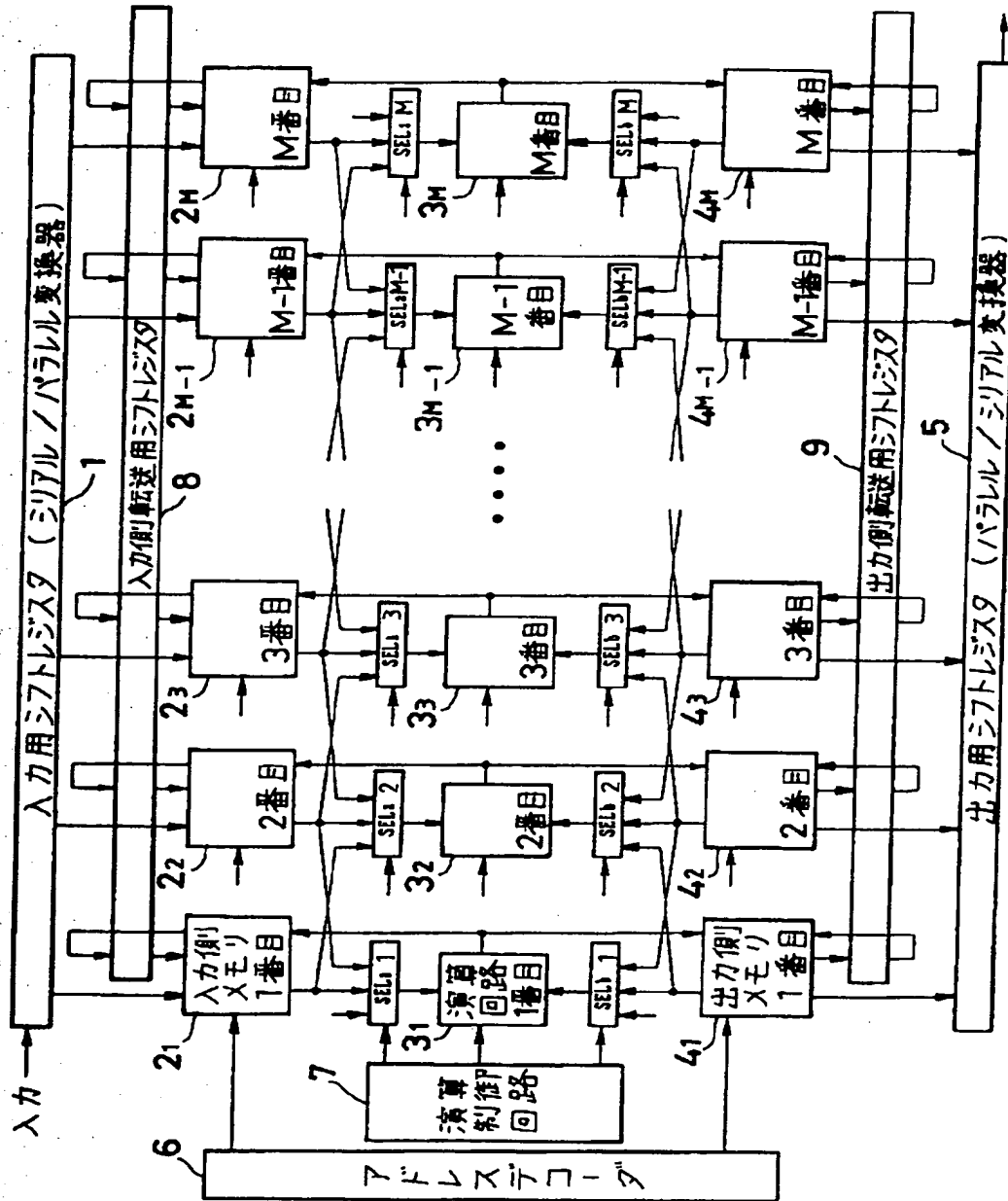
器)

6 アドレスデコーダ

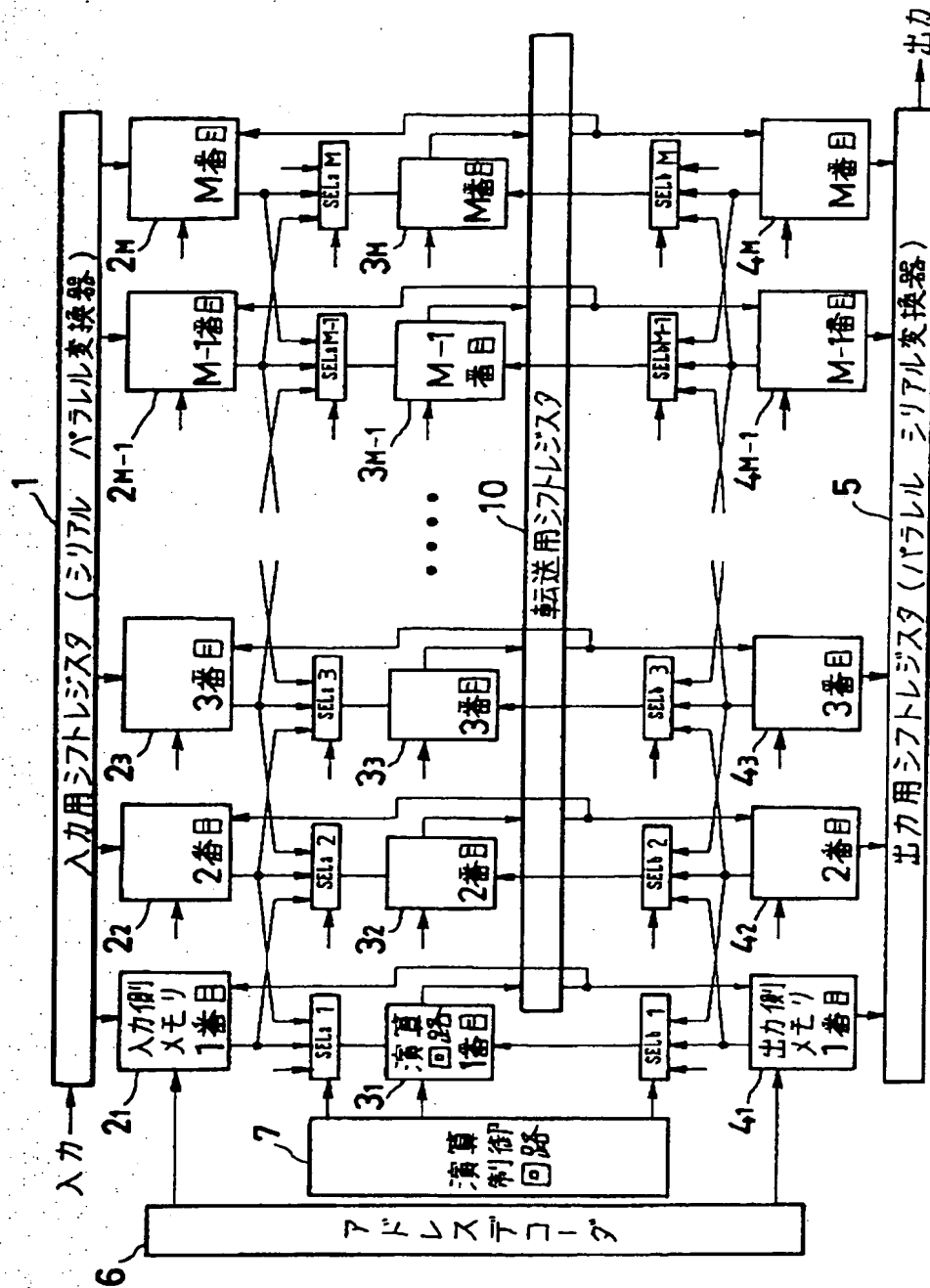
* 7 演算制御回路

* 8、9、10 シフトレジスタ

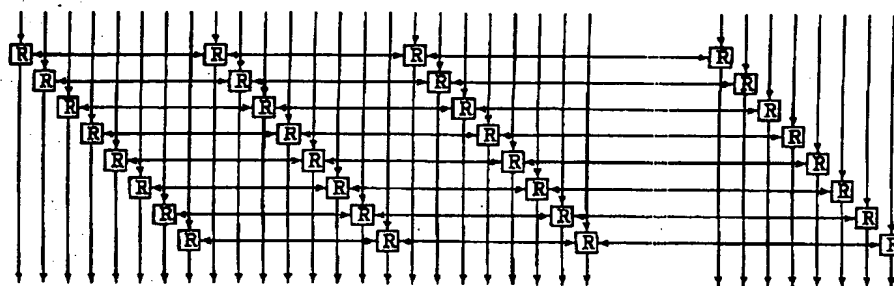
【図1】



【図2】



【図3】



【図4】

